

CLIPPEDIMAGE= JP401101671A

PAT-NO: JP401101671A

DOCUMENT-IDENTIFIER: JP 01101671 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: April 19, 1989

INVENTOR-INFORMATION:

NAME  
ONDA, KAZUHIKO

ASSIGNEE-INFORMATION:

NAME NEC CORP	COUNTRY N/A
------------------	----------------

APPL-NO: JP62258438

APPL-DATE: October 15, 1987

INT-CL (IPC): H01L029/80;H01L029/205

US-CL-CURRENT: 257/194, 257/E29.127

ABSTRACT:

PURPOSE: To allow high-frequency operation by providing sidewalls consisting of an insulator whose relative dielectric constant is small on the source and drain sides of a gate electrode.

CONSTITUTION: A two-dimension electron gas layer 10 is formed on the interface between GaAs semiconductor layers 2, 4 and AlGaAs semiconductor layer 3, a depletion layer around a gate electrode 5 buried in the AlGaAs semiconductor layer 3 vertically extends by an applied operating voltage, whereby the carrier accumulation condition in the two-dimensional electron gas of the two layers is controlled at the same time. Accordingly, the buried gate

electrode structure increases the amount of controllable currents, whereby high mutual conductance can be obtained. Silicon oxide sidewalls 11 whose relative dielectric constant is small and which are provided on the source and drain sides of the gate electrode 5 being the insulating sidewalls, which reduce both gate-source and gate-drain parasitic capacitances. According to the constitution, high-frequency characteristics and high speed switching characteristics of the field-effect transistor can be improved.

COPYRIGHT: (C) 1989, JPO&Japio

## ⑫ 公開特許公報 (A) 平1-101671

⑬ Int. Cl. 1

H 01 L 29/80  
29/205

識別記号

厅内整理番号

H-8122-5F  
8526-5F

⑭ 公開 平成1年(1989)4月19日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特願 昭62-258438

⑰ 出願 昭62(1987)10月15日

⑮ 発明者 恩田和彦 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑯ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号  
 ⑰ 代理人 弁理士 館野千恵子

## 明細書

## [産業上の利用分野]

本発明は半導体装置に関し、特にAlGaAs/GaAs選択ドープ構造を有する電界効果トランジスタで代表されるヘテロ接合デバイス、すなわちHEMT(高移動度トランジスタ)等の2次元電子ガス層を動作層とする半導体装置に関する。

## [従来の技術]

従来、HEMT等の半導体装置においては、不純物無添加のGaAs半導体層と不純物添加のAlGaAs混晶半導体層とのヘテロ界面に形成される2次元電子ガス層を動作層として利用するために、基板上に前記GaAs半導体層と前記AlGaAs半導体層を交互に成長させることにより1層あるいは多層の前記2次元電子ガス層を形成し、前記AlGaAs半導体層各層中に埋め込まれた単一の、あるいは多数のゲート電極により前記各2次元電子ガス層における走行キャリアを制御する構造がとられていた。

従来のHEMTにおいてゲート電極が半導体層に埋め込まれている構造の一例を第3図に示す。

ゲート電極35を不純物無添加のGaAs層32,34ある

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

(1)電子親和力に差のある相異なる半導体層間の、電子親和力が大なる半導体層側に、前記半導体層間のヘテロ界面沿いに形成された2次元電子ガス層を1層または2層以上と、この2次元電子ガス層を流れる電流を取出す合金電極とを有し、かつ前記半導体層に埋設された1個または2個以上のゲート電極を備えてなる半導体装置において、ゲート電極のソース側側面およびドレイン側側面に前記半導体層よりも比誘電率の小なる絶縁物で形成された側壁を備えてなることを特徴とする半導体装置。

(2)半導体層よりも比誘電率の小なる絶縁物が二酸化シリコンである特許請求の範囲第1項記載の半導体装置。

## 3. 発明の詳細な説明

層3に埋め込まれたゲート電極5の周囲の空乏層は動作電圧により上下方向に広がり、2層の前記2次元電子ガス層10のキャリア蓄積状態を同時に制御する。従って、この埋め込みゲート電極構造は、従来のHEMTに比べて制御可能な電流量を向上させ得ると共に、高い相互コンダクタンスを得ることが可能となる。第1図中で示すゲート電極5のソース側およびドレイン側の側面に設けられたシリコン酸化膜の側壁11が本発明の絶縁体側壁で、この側壁11の存在によりゲート・ソース間の寄生容量およびゲート・ドレイン間の寄生容量の削減が行われ、電界効果トランジスタとしての高周波特性および高速スイッチング特性が改善される。

次に、上記側壁を備えた埋め込みゲート電極の製造工程の一例を第2図(a)~(d)の各図により説明する。各図は、半絶縁性GaAs基板21上に、例えば有機金属化学堆積法により成長させた不純物無添加のGaAs半導体層あるいは不純物添加のAlGaAs半導体層22にゲート電極23を埋め込む場合

有機金属化学堆積法によりGaAs半導体層あるいはAlGaAs半導体層22の成長を再度行う。 $n^+$ 選択成長に関しての有機金属化学堆積法の有効性および再現性は、例えば1984年第45回応用物理学会14a-J-7で中村他により報告されており、また、金属ゲート電極の埋め込み成長に関しては、特表昭56-500991号公報においてPBTの製造工程の中でCarl.O.Bozler他によって詳しく報告されている。ゲート電極23の材料としてはGaAsおよびエピタキシャル成長過程中用いられる他の製品に対して充分不活性であることからタンクスチンの有効性が指摘されている。しかしゲート電極23としては金属あるいはその化合物の代りにD型の不純物を高濃度に添加した低抵抗のGaAsを用いても良い。

以上の工程によりGaAs半導体層あるいはAlGaAs半導体層22中にシリコン酸化膜24に挟まれた形でゲート電極23を埋め込む操作が第2図(d)に示すような形状で完了する。

なお、結晶系としてはGaAs/AlGaAs系を用いた

を説明するものである。ゲート電極23の材料としてはタンクスチンシリサイド等の金属あるいは金属化合物を用い、スパッタあるいは電子ビーム蒸着またはCVD法によって第2図(a)に示す如く、厚さ400Åで付着させ、例えばプラズマエッチング法あるいはリフトオフ法によって金属幅が5000Å以下となるようにゲート電極23を形成する。この金属幅がすなわちゲート長に相当する。

ゲート電極23を形成した後、CVD法により、第2図(b)に示す如く、全面にシリコン酸化膜24を400Å程度付着させ、CF<sub>4</sub>およびSF<sub>6</sub>の混合ガスによるMIE(Magnetron Ion Etching)法によりゲート電極23の上面およびGaAs半導体層あるいはAlGaAs半導体層22表面が現れる直前までシリコン酸化膜24のエッチングを行う。その後、完全に表面が現れるまで過酸化水素と硫酸の混合液によりシリコン酸化膜24のエッチングを行う。

その結果第2図(c)に示されるようにゲート電極23の両側にシリコン酸化膜24の側壁25が形成される。その後はゲート電極形成前と同様に、

事例を示したが、この他にInGaAs/InAlAs系、InP/InGaAs系等についても本発明を実施することは可能である。また、本発明の実施例は特定の値を用いて説明したが、これは理解を容易にするためであり、例えばゲート電極の蒸着量が増加すれば、シリコン酸化膜側壁の量も比例して増加させることは言うまでもなく、ゲート・ソース間およびゲート・ドレイン間の寄生容量を十分に削減するだけの量であれば良い。また、側壁として用いる材料も用いられるそれぞれの半導体よりも比誘電率の小さい絶縁物ならばシリコン酸化物に限らない。

#### [発明の効果]

以上、説明したとおり、本発明によれば、2次元電子ガス層をチャネルとして用い、かつその制御を半導体層中に埋め込まれたゲート電極により行う電界効果トランジスタにおいて、ゲート電極のソース側の側面およびドレイン側の側面に比誘電率の小さな絶縁物で形成された側壁を設けることにより、ゲートとソースとの間の容量およびゲ

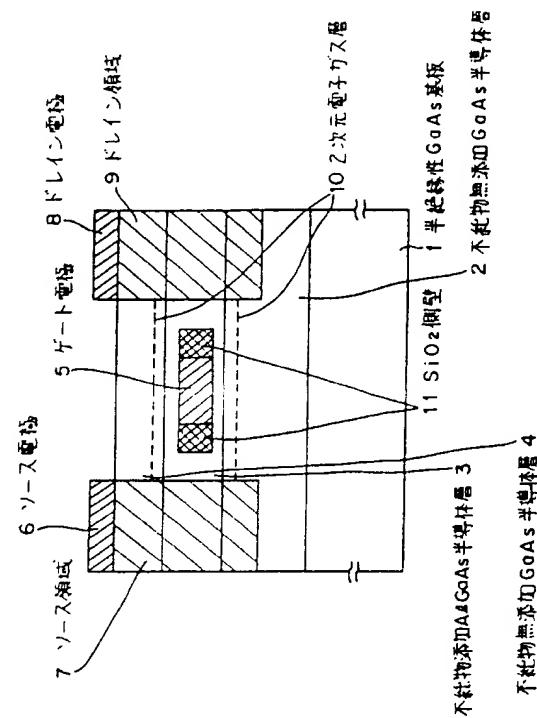
ートとドレインとの間の寄生容量を減少させることができ、電界効果トランジスタの高周波特性あるいは高速スイッチング特性を改善した半導体装置を提供することができる。

#### 4. 図面の簡単な説明

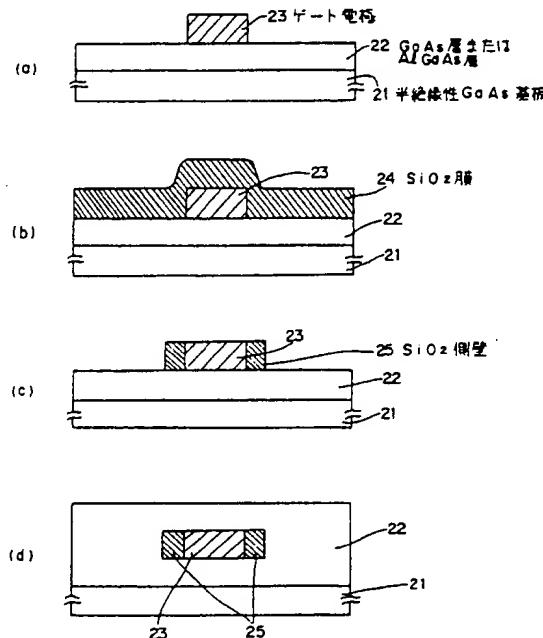
第1図は本発明の一実施例を示す縦断面図、第2図(a)~(d)は本発明の一実施例の製造工程の説明図、第3図は従来例の縦断面図である。

- 1, 21, 31 … 半絶縁性GaAs基板
- 2, 4, 32, 34 … 不純物無添加GaAs半導体層
- 3, 33 … 不純物添加AlGaAs半導体層
- 5, 23, 35, … ゲート電極
- 6, 36 … ソース電極 7, 37 … ソース領域
- 8, 38 … ドレイン電極 9, 39 … ドレイン領域
- 10, 40 … 2次元電子ガス層
- 11, 25 … SiO<sub>2</sub>側壁 24 … シリコン酸化膜

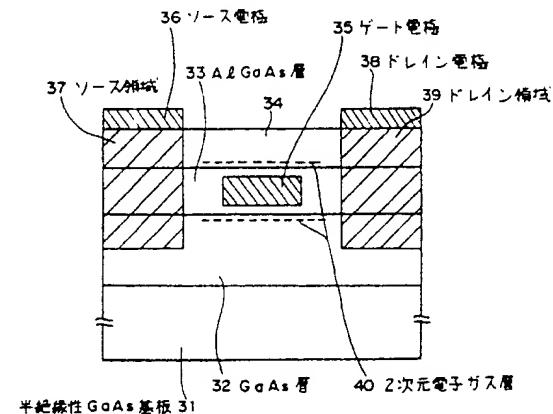
代理人弁理士館野千恵子



第1図



第2図



第3図